

(51) Int. C.I. ⁶	識別記号	府内整理番号	F I	技術表示箇所
H 01 L	21/301		H 01 L	21/78 L
	27/12			27/12 S
	33/00			33/00 C
				21/78 S

審査請求 未請求 請求項の数 5 O.L. (全 7 頁)

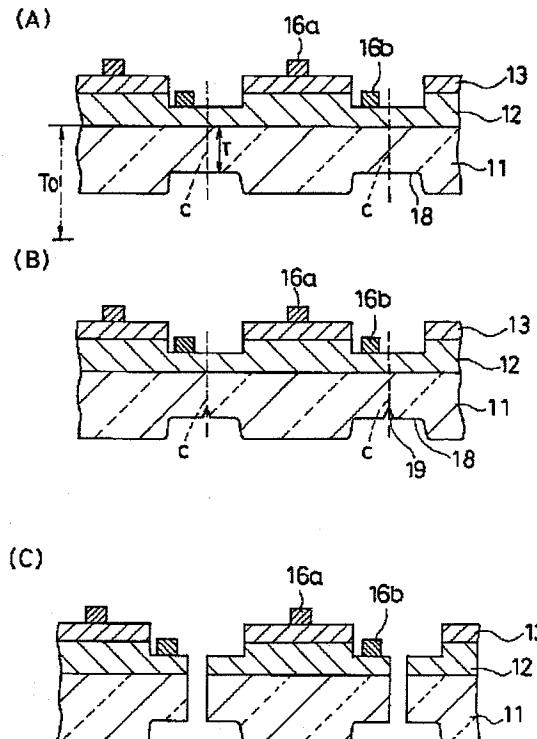
(21) 出願番号	特願平8-180913	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成8年(1996)7月10日	(72) 発明者	新田 康一 神奈川県川崎市幸区堀川町72番地 株式会社東芝川崎事業所内
		(72) 発明者	岡崎 浩彦 神奈川県川崎市幸区堀川町72番地 株式会社東芝川崎事業所内
		(72) 発明者	渡辺 幸雄 神奈川県川崎市幸区堀川町72番地 株式会社東芝川崎事業所内
		(74) 代理人	弁理士 三好 秀和 (外3名) 最終頁に続く

(54) 【発明の名称】 半導体チップとその製造方法

(57) 【要約】

【課題】 サファイア基板表面に窒化ガリウム系化合物半導体層を有する半導体チップの作製方法において、基板をチップごとに分離する工程の歩留まりを改善する。

【解決手段】 サファイア基板表面に、窒化ガリウム系化合物半導体層を有する半導体チップの製造方法において、前記サファイア基板裏面に、ドライエッチング法を用いて分離溝を形成する工程と、前記サファイア基板を前記分離溝で複数のチップに分離するチップ分離工程とを有する。分離溝にスクライブラインを引いて、この後に基板を分離しても良い。ドライエッチング法を用いるため、歩留まりのよい溝加工を行うことができる。また、基板分離箇所の基板の厚みを薄くできるので、基板の分離が容易となり、チップ分離工程の歩留まりを改善することができる。



【特許請求の範囲】

【請求項1】 サファイア基板上に、窒化ガリウム系化合物半導体層を有する半導体チップの製造方法において、

前記サファイア基板裏面に、ドライエッティング法を用いて分離溝を形成する工程と、

前記サファイア基板を前記分離溝でチップごとに分離するチップ分離工程とを有する半導体チップの製造方法。

【請求項2】 前記チップ分離工程において、

前記サファイア基板を分離する前に、前記分離溝の底部に、スクライブラインを形成する工程を有する請求項1に記載の半導体チップの製造方法。

【請求項3】 前記分離溝を形成する工程において、レジスト膜をエッティングマスクとして用いて前記サファイア基板裏面をドライエッティングすることを特徴とする請求項1に記載の半導体チップの製造方法。

【請求項4】 表面に窒化ガリウム系化合物半導体層を有するサファイア基板の裏面に、ドライエッティング法を用いて分離溝を形成し、前記分離溝で分離することにより形成される半導体チップ。

【請求項5】 前記窒化ガリウム系化合物半導体層が、第1導電型を有する窒化ガリウム系化合物膜と前記第1導電型と逆の導電型を有する窒化ガリウム系化合物膜との積層を有する請求項4に記載の半導体チップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体チップに関し、特にサファイア (Al_2O_3 単結晶) を基板とし、この基板上に窒化ガリウム系化合物半導体層を有する半導体チップとその製造方法に関する。

【0002】

【従来の技術】 基板上への素子形成が終了すると、通常ダイサーもしくはスクライバーと呼ばれる装置を用いて、基板は個々のチップに分離される。

【0003】 ダイサーは、外周縁にダイヤモンド砥石を有する薄い円盤状の刃を持つ。この円盤状の刃先をほぼ垂直な角度で基板面にあて、高速回転させることにより基板を切断し、個々のチップに分離する。もしくは、刃先幅よりやや広めの切り込み溝を基板面に形成した後、基板面に外力を加えて、この切り込み溝で基板を個々のチップに分離する。

【0004】 スクライバーは、先端にダイヤモンドを有する針状の刃を持つ。この刃を基板上で往復直線運動させ、スクライブラインと呼ばれる極めて細い溝を基板面に形成する。この後、基板面に外力を加えて、スクライブラインで基板を個々のチップに分離する。

【0005】

【発明が解決しようとする課題】 発光層としてガリウム砒素 (GaAs) 、もしくはガリウム燐 (GaP) 系の半導体層を用いる発光ダイオードでは、発光層と同じ結

晶材料を基板として用いることが多い。これらの結晶はせん亜鉛構造であり、「110」方向にへき開性を有する。

【0006】 へき開性を有する基板は、基板面にスクライブラインを入れ、外力を加えることで容易にへき開面に沿って基板を押し割ることができる。よって、スクライバー等を用いる従来の方法で歩留まり良く基板を個々のチップに分離することが可能である。

【0007】 一方、発光層として窒化ガリウム (GaN) 系半導体層を用いる青色発光ダイオードは、基板としてサファイア (Al_2O_3 単結晶) を用いることが多い。サファイア基板は、六方晶系の結晶構造を有するため、へき開性を有さない。この為、基板面にスクライブラインを入れても、外力をかけて所望の方向に基板を割ることは困難である。

【0008】 さらに、 GaN 系半導体層とサファイア基板は、共にモース硬度が9の硬い材料であるため、従来のダイサーを用いる方法で基板を切断しようとすると、切断面にチッピングやクラックが生じやすい。

【0009】 透明なサファイア基板の切断面に発生したクラックは、発光層から発せられる光を吸収し、実質的な発光出力を下げる。また、チップを樹脂でモールドする際の加熱工程における熱歪により、このクラックが結晶欠陥の発生要因になる場合もある。切断面のかけらが、発光層につくと電気的なショートを起こし、発光特性に悪影響を与えることもある。

【0010】 このように、サファイア基板上に GaN 系半導体層を有する半導体チップは、従来のチップ分離方法を用いたのでは工程の歩留まりが悪く、良好な素子特性を得ることが困難であった。

【0011】 本発明の目的は、サファイアを基板とし、基板上に窒化ガリウム系化合物半導体層を有する半導体チップの製造方法において、チップ分離工程の歩留まりを上げ、併せて素子特性を改善できる半導体チップとその製造方法を提供することである。

【0012】

【課題を解決するための手段】 本発明の第1の特徴は、サファイア基板上に、窒化ガリウム系化合物半導体層を有する半導体チップの製造方法において、前記サファイア基板裏面に、ドライエッティング法を用いて分離溝を形成する工程と、前記サファイア基板を前記分離溝でチップごとに分離するチップ分離工程とを有することである。

【0013】 上記第1の特徴によれば、サファイア基板の裏面に分離溝を形成するので、基板分離箇所のサファイア基板を薄くできる。よって、分離が容易となり、分離時のクラックやチッピングの発生を抑制でき、チップ分離工程での歩留まりを上げることができる。また、この分離溝をドライエッティング法を用いて形成することにより、基板および基板上の素子にストレスをかけること

なく、クラックやチッピングの発生が少ない溝加工を行うことができる。

【0014】本発明の第2の特徴は、上記チップ分離工程において、前記サファイア基板を分離する前に、前記分離溝の底部に、スクライブラインを形成する工程を有することである。

【0015】上記第2の特徴によれば、チップ分離工程の際、スクライブラインに応力を集中させることができるので、より確実に、しかも簡易にサファイア基板をチップごとに分離することができる。

【0016】本発明の第3の特徴は、上記分離溝を形成する工程において、エッチングマスクとしてレジスト膜を用いて前記サファイア基板裏面のドライエッチングを行うことである。

【0017】上記第3の特徴によれば、エッチングマスクの作製が容易であり、かつドライエッティングの工程中に、レジスト膜は、サファイア基板とともにエッチングされるので、マスク除去の工程も省略できる。

【0018】本発明の第4の特徴は、半導体チップを、表面に窒化ガリウム系化合物半導体層を有するサファイア基板の裏面に、ドライエッティング方法を用いて分離溝を形成し、前記分離溝で分離することにより形成することである。

【0019】上記第4の特徴によれば、チップ分離面にクラックやチッピングの発生が少ない為、これらに起因する素子特性の劣化が少ない半導体チップを得ることができる。

【0020】本発明の第5の特徴は、上記第4の特徴において、窒化ガリウム系化合物半導体層が、第1導電型を有する窒化ガリウム系化合物膜と前記第1導電型と逆の導電型を有する窒化ガリウム系化合物膜との積層を有することである。

【0021】上記第5の特徴によれば、チップ分離面にクラック等の発生が少ない為、発光される光がこれらに吸収されることはなく、実質的に発光効率の高い青色発光ダイオードを得ることができる。

【0022】

【発明の実施の形態】図1(A)～図3(C)は、GaN系半導体層を発光層として用いた青色発光ダイオードの各チップ作製工程における装置の断面図である。以下、これらの図面を参照して本発明の実施の形態について説明する。

【0023】まず図1(A)～図2(A)を用いて、基板上に発光ダイオードを形成する工程を説明する。なお、説明の便宜の為、図中、基板の厚みは薄く示している。

【0024】図1(A)に示すように、基板の厚みT₀が約350μmのサファイア基板11上に、発光層を形成する。MOCVD(metal organic chemical vapor deposition)

法を用いて、厚み約4μmのn型の導電型を有するGaN(以下、n-GaNと記す。)膜12とさらにその上に厚み約1μmのp型の導電型を有するGaN(以下、p-GaNと記す。)膜13をヘテロエピタキシャル成長させる。

【0025】エピタキシャル成長条件は、雰囲気圧力を常圧、基板温度を800℃～1000℃とする。キャリアガスとしては、水素(H₂)と窒素(N₂)の混合ガスを用い、反応ガスとしては、トリメチルガリウム(Ga(CH₃)₃)とアンモニア(NH₃)を用いる。

【0026】n型ドーパントとしてはシリコン(Si)を用いる。このドーパントガスとしてはモノシラン(SiH₄)を用いるとよい。p型ドーパントとしてはマグネシウム(Mg)を用いる。このドーパントガスとしては、ビスシクロペンタディエニールマグネシウム(Cp₂Mg)を用いるとよい。各膜に添加されるドーパントの量は、n-GaN膜12が1×10¹⁷～1×10¹⁹cm⁻³、p-GaN膜13が1×10¹⁷～1×10¹⁹cm⁻³とする。

【0027】n-GaN膜12とp-GaN膜13は、同一チャンバー内で、ドーパントガスの種類を替えることで連続して成膜することが可能である。

【0028】次に、図1(B)に示すように、n-GaN膜12とp-GaN膜13の積層上に、常圧CVD(chemical vapor deposition)法を用いて、厚み約0.5μmのSiO₂膜14を形成する。成膜条件としては、基板温度を300℃～450℃とし、キャリアガスとしてN₂、反応ガスとしては酸素(O₂)とモノシラン(SiH₄)を用いる。

【0029】さらに同図に示すように、SiO₂膜14上にポジ型のレジスト膜15を形成し、露光、現像工程を経てレジスト膜15をパターニングする。パターンの平面形状は、一辺が約200μmの矩形とする。このレジスト膜のパターンは、後の工程で、個々のチップが有する発光ダイオードの発光領域を確定する。

【0030】このレジスト膜15のパターンをエッチングマスクとし、ふっ酸溶液等のエッティング液を用いてSiO₂膜14をエッティングする。その後、レジスト膜15を除去する。

【0031】図1(C)に示すように、反応性イオンエッティング(RIE)装置を用いて、前工程で得られたSiO₂膜14のパターンをエッティングマスクに用い、p-GaN膜13をドライエッティングする。

【0032】エッティングガスとしては、塩素(Cl₂)と塩化ホウ素(BCl₃)を用いる。p-GaN膜13のエッティングをオーバー露光に行い、下層のn-GaN膜12も表面から0.2μm～0.3μmの深さまでエッティングされるようにする。これにより、確実にn-GaN膜12面を露出させる。なお、n-GaN膜12をさらに薄くすることも可能であるが、後の工程で電極を形

成し、電流流入を行う必要がある為、低抵抗値が保てるよう、一定以上の膜厚は必要となる。エッチングマスクとして用いたSiO₂膜14は、この後エッチング除去する。

【0033】エッチングされなかったp-GaN膜13とn-GaN膜12の一辺200μmの矩形平面を有するpn接合領域が、各チップごとに発光ダイオードが有する発光領域となる。

【0034】図2(A)に示すように、p-GaN膜13表面に電極16aを形成する。この工程では、基板表面にスパッタリング法等を用いて、約0.02μmのニッケル金(NiAu)合金膜を形成する。その後通常のフォトリソグラフィ工程を用いてp-GaN膜13上に電極16aを形成する。

【0035】同様に、スパッタリング法を用いて、基板上に、約0.4μmのチタン金(TiAu)合金膜を形成し、フォトリソグラフィ工程を用いて露出したn-GaN膜12表面上に電極16bを形成する。

【0036】次に、図2(B)～図3(C)を用いて、本実施の形態において最も特徴を有する分離溝を形成する工程とチップ分離工程について説明する。

【0037】図2(B)に示すように、サファイア基板11の裏面全面に、厚み約1μm～3μmのポジ型のレジスト膜17を形成した後、通常の露光現像工程を経てレジスト膜17をパターニングする。後の工程でサファイア基板11をチップごとに分離する際の基板分離箇所C近傍の基板裏面を露出させる。露出させる基板裏面のサイズは特に限定されないが、例えば、基板分離箇所Cを中心にして、幅150μm程度の領域を露出させるとよい。

【0038】図2(C)に示すように、サファイア基板11の裏面をRIE装置を用いてドライエッチングし、分離溝18を形成する。このドライエッチング工程においては、基板を表裏反転し、RIE装置の基板台にサファイア基板の裏面がエッチング面となるように設置し、基板裏面のみをドライエッチングする。

【0039】レジスト膜17のパターンをエッチングマスクとし、Cl₂とBCl₃をエッチングガスとして用いる。サファイア基板11のエッチングは、エッチング面の精度を特に要求されないので、Cl₂に対するBCl₃のガス比率を高くし、エッチング速度を上げてよい。

【0040】図2(C)に示すように、このエッチング条件のもとでは、レジスト膜17もサファイア基板11と同様にエッチングされ、エッチングの進行に伴い次第にその膜厚が薄くなる。

【0041】さらにエッチングが進行すると、図3(A)に示すように、レジスト膜17のパターンは完全にエッチングされ消失する。エッチング工程終了後のサファイア基板には、レジスト膜17のエッチングマスクで被覆されていなかった部分に、ほぼレジスト膜17の

膜厚に相当する深さの分離溝18が形成される。分離溝18の底部におけるサファイア基板の厚みTを約100μmとする。ドライエッチング前の基板厚みT₀が350μmであるので分離溝の底部の基板の厚みTは最初の基板の厚みT₀の1/3以下に相当する。

【0042】次に、サファイア基板11の裏面の基板分離箇所Cに、スクライバーを用いてスクライブラインを引く。この工程では、発光層が形成されているサファイア基板の表面に粘着材のついたプラスチックフィルムを張り付け、スクライバーのテーブル上にプラスチックフィルムを下面にして基板を載せ、真空チャックで固定し、基板をスクライビングする。

【0043】図3(B)に示すように、分離溝18の底部のほぼ中央に、溝の深さが約数μmのスクライブライン19が形成される。なお、図面中プラスチックフィルムについては図示を省略している。

【0044】基板をプラスチックフィルムごとスクライバーから取り外し、この後サファイア基板裏面にローラで圧力を加える。スクライブライン19に応力が集中し、この位置で、基板はチップごとに押し割られる。

【0045】この時プラスチックフィルムは分離されないので、これを引き延ばすと、図3(C)に示すように、プラスチックフィルム上の個々のチップがそれぞれ引き離される。

【0046】以上に、GaN系化合物半導体層を発光層として用いた青色発光ダイオードのチップの作製工程を例にとり本発明の実施の形態について説明した。

【0047】上述の実施の形態では、サファイア基板11の裏面をドライエッチングすることにより、基板分離箇所の基板の厚みを薄くしているので、チップ分離が従来より容易となる。

【0048】単に、サファイア基板を薄くする目的であれば、機械的に研磨加工を行うことも可能であるが、サファイア基板の硬度が高い為、研磨加工の際、基板にチッピングやクラックが生じやすい。

【0049】しかし、上述の実施の形態のようにドライエッチング法を用いた場合は、サファイア基板の硬度とは関係なく、エッチングガスの選択により基板の厚みを薄くできる。この際、基板やその上に形成された素子にストレスがかからないので、チッピングやクラックは生じ難い。

【0050】また、上述の実施の形態では、図2(C)に示したようにサファイア基板11の裏面をエッチングする際、レジスト膜17のパターンをエッチングマスクとして用い、分離溝18を形成しているので、基板分離箇所Cの基板の厚みを特に薄くすることができる。基板がへき開性を有さない場合も、基板の厚みが薄ければクラックやチッピングの発生を伴わずに高い歩留まりでチップ分離が可能となる。

【0051】この結果、従来30%～40%であったチ

ップ分離工程の歩留まりを、上述の実施の形態の方法を用いることではほぼ95%以上に改善することが可能となる。

【0052】また、上述の実施の形態の方法で作製される青色発光ダイオードは、基板の分離面にクラックやチッピングが少ないので、発光層で出力された光がこれらで吸収や散乱される確率を減らすことができる。又、チップ分離工程において、pn接合面にストレスをかけることが少ない。この結果、例えば発光層のpn接合面に、3.8Vの順方向電圧をかけることで、 $200\mu W$ の高発光出力と、500時間以上の良好な発光寿命を得ることが可能となる。上述の実施の形態では、基板裏面をドライエッチングする際、レジスト膜のパターンをエッティングマスクとして用いている。レジスト膜のエッティングマスクは、サファイア基板とともにエッティングされてしまうので、エッティング工程の途中で消失する。エッティングマスクが消失した後は、基板の裏面全面がエッティングされることとなる。基板分離箇所以外の基板の厚みは、後に続く基板搬送工程等で問題にならない程度の機械的強度を有する厚みであればよい。なお、レジストマスクをより厚くすれば、基板分離箇所以外の基板厚みをより厚く保つこともできる。

【0053】上述の実施の形態では、ドライエッチングにより、基板分離箇所Cのサファイア基板11の厚みTを $100\mu m$ にしているが、より薄くすることも可能である。この部分の厚みが薄いほど、チップごとの分離は容易となる。但し、基板全体の厚みも薄くなるので、基板自体の機械的強度を考慮し、厚みTを $80\mu m \sim 120\mu m$ 程度に設定するのが好ましい。

【0054】一方、分離溝18は、スクリーブラインを形成する際、ライン形成位置の指標とすることで位置合わせを容易とする効果もある。また、レジスト膜はドライエッティング工程の途中で消失するのでドライエッティング工程後、レジスト剥離工程を省略することができる。

【0055】なお、サファイア基板をドライエッティングする際、上述したレジスト膜によるマスクではなく、耐エッティング性の高いSiO₂やニッケル(Ni)やクロム(Cr)等のメタルによるエッティングマスクを用いることもできる。この場合は、マスク下のサファイア基板はエッティングされないので、マスク下は、ドライエッティング前の基板の厚みを維持し、基板分離箇所を含む領域のみをより選択的にエッティングすることが可能となる。よって、サファイア基板の機械的強度を維持しながら、分離が必要な箇所のサファイア基板のみをさらに薄くすることも可能となる。

【0056】図4(A)は、レジスト膜のマスクを用いてサファイア基板をドライエッティングする方法により作製される発光ダイオードのチップ単体の斜視図である。

図4(B)は、メタルマスクを用いてサファイア基板を

ドライエッティングする方法により作製される発光ダイオードのチップ単体の斜視図である。

【0057】レジスト膜のマスクを用いた場合は、サファイア基板全面がドライエッティング前の基板より薄くなる。一方、メタルマスクを用いた場合は、チップ裏面中央部のサファイア基板の厚みは、ほぼドライエッティング前の基板の厚みのまま、基板分離箇所近傍に相当する外周領域のみが薄くなる。

【0058】上述の実施の形態では、分離の際にスライバーを使用しているが、ダイサーを用いた従来のチップ分離方法を用いることも可能である。しかし、実施の形態に示すように、基板分離箇所の基板の厚みが薄い程割り易いので、スライバーによる分離法がより簡易で確実な方法といえる。

【0059】上述の実施の形態では、サファイア基板上にp-GaN膜とn-GaN膜の積層膜で構成する青色発光ダイオードのチップを作製する例について述べているが、これに限らず、サファイア基板上にGaN系化合物半導体層によるヘテロエピタキシャル層を有する半導体チップであれば、上述のチップ作製方法を利用することができます。

【0060】例えば、GaN系化合物半導体層としては、上述したGaN膜に限られず、InGaN、またはAlGaN膜等の一般に $Ga_xIn_yAl_zN$ (X+Y+Z=1)で示される化合物半導体層であってもよい。また、2層構造に限らずさらに多層構造であっても良い。ダイオードのみならずトランジスタ構造を作製する場合も有効である。

【0061】また、サファイア基板をドライエッティングする際に用いるレジストは、ポジ型のレジストに限られない。ネガ型のレジストを始め、種々の市販のフォトレジストを用いることができる。

【0062】以上、実施の形態に沿って本発明を説明したが、本発明は、これらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0063】

【発明の効果】本発明によれば、サファイア基板の裏面に予めドライエッティング法を用いて、分離溝を形成し、この分離溝でサファイア基板を各チップに分離する為、チップ分離が容易となり、チップ分離工程における歩留まりを上げることができる。

【0064】また、チップ分離工程に伴う素子へのストレスやクラック等に起因する素子特性の劣化の問題を改善できる。

【図面の簡単な説明】

【図1】本発明の実施の形態であるGaN系の発光層を用いた発光ダイオードのチップ作製工程を説明する各工程における装置の断面図である。

【図2】本発明の実施の形態であるGaN系の発光層を

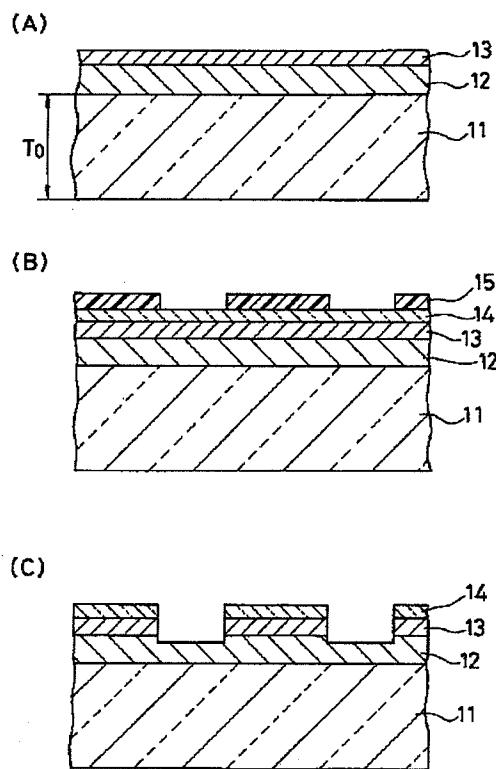
用いた発光ダイオードのチップ作製工程を説明する各工程における装置の断面図である。

【図3】本発明の実施の形態であるGaN系の発光層を用いた発光ダイオードのチップ作製工程を説明する各工程における装置の断面図である。

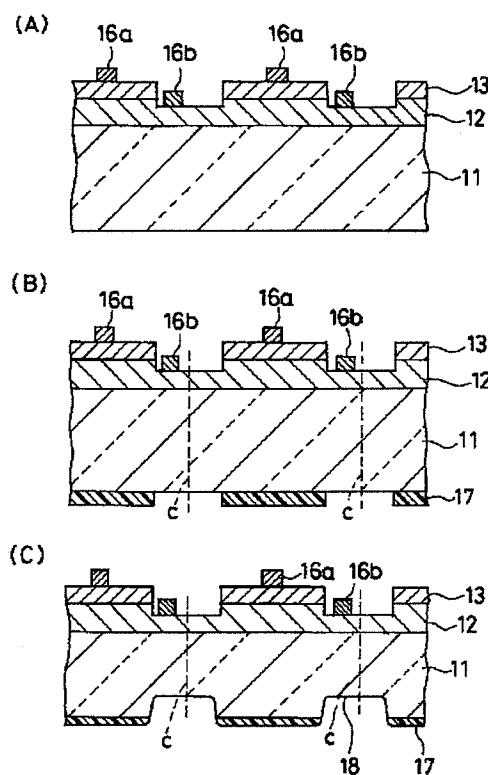
【図4】本発明の実施の形態の方法で作製されるGaN系の発光層を用いた発光ダイオードのチップの斜視図である。

【符号の説明】

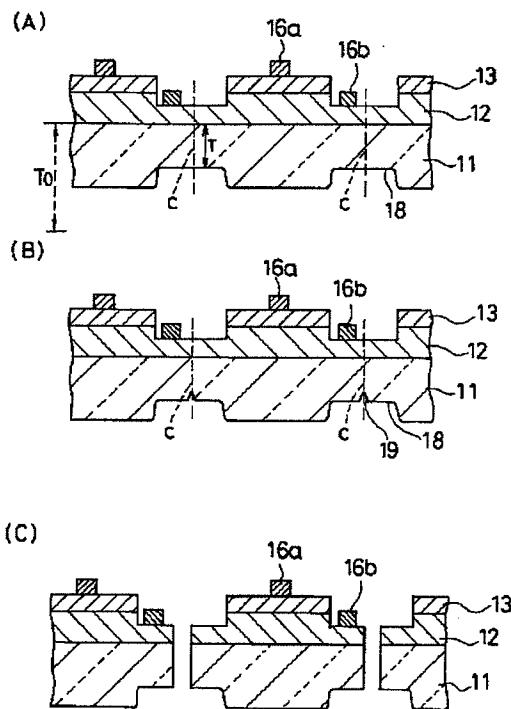
【図1】



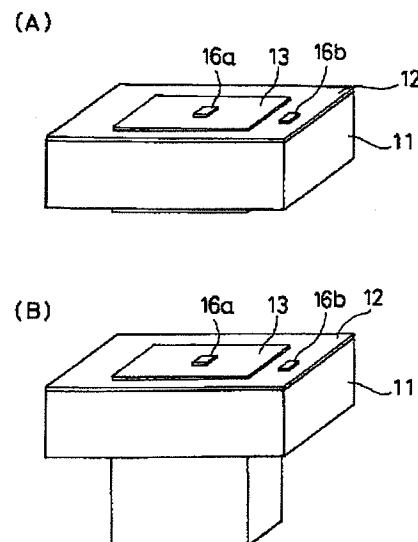
【図2】



【図3】



【図4】



フロントページの続き

(72) 発明者 石松 純夫
神奈川県川崎市幸区堀川町72番地 株式会
社東芝川崎事業所内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-027769

(43)Date of publication of application : 27.01.1998

(51)Int.Cl.

H01L 21/301

H01L 27/12

H01L 33/00

(21)Application number : 08-180913

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 10.07.1996

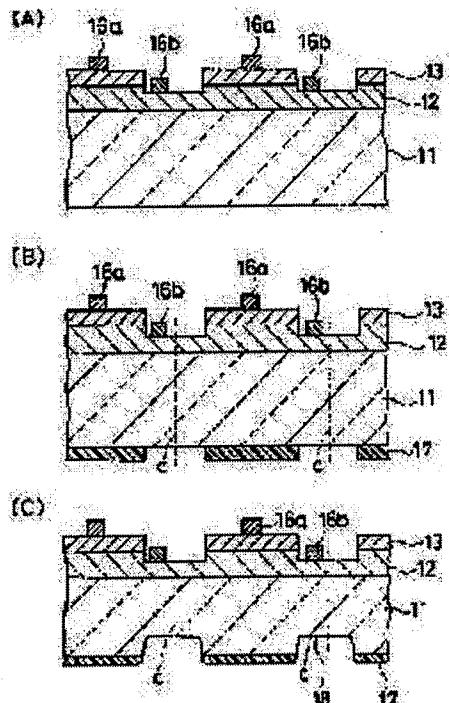
(72)Inventor : NITTA KOICHI
OKAZAKI HIROHIKO
WATANABE YUKIO
ISHIMATSU SUMIO

(54) SEMICONDUCTOR CHIP AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a process where a substrate is divided into chips to be improved in yield in a manufacturing process where a semiconductor chip possessed of a gallium nitride compound semiconductor layer formed on the surface of a sapphire substrate is manufactured.

SOLUTION: In a manufacturing method where a semiconductor chip possessed of a gallium nitride compound semiconductor layer is manufactured, isolating grooves 18 are formed on the rear of a sapphire substrate 11 through dry etching, and the sapphire substrate 11 is divided into chips at the isolating grooves 18. The substrate 11 may be divided after a scribing line is provided to each of the grooves 18. Dry etching is employed, so that a grooving process can be carried out high in yield. A substrate can be lessened in thickness at a substrate dividing part, so that the substrate can be easily divided, and a chip separating process can be improved in yield.



LEGAL STATUS

[Date of request for examination] 11.09.2000

[Date of sending the examiner's decision of rejection] 03.09.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]